

CLIPPEDIMAGE= JP358105574A
PAT-NO: JP358105574A
DOCUMENT-IDENTIFIER: JP 58105574 A
TITLE: THIN FILM TRANSISTOR

PUBN-DATE: June 23, 1983

INVENTOR-INFORMATION:

NAME

OSHIMA, HIROYUKI

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

N/A

APPL-NO: JP56204087

APPL-DATE: December 17, 1981

INT-CL (IPC): H01L029/78; H01L029/04 ; G09F009/35

US-CL-CURRENT: 257/66,257/75

ABSTRACT:

PURPOSE: To reduce an OFF current by providing an offset gate region consisting of the low impurity region of the same conductivity type while said region is placed in contact with the source region under the source electrode or with the drain region under the drain electrode in case a thin film transistor is formed with a polycrystalline semiconductor thin film.

CONSTITUTION: A polycrystalline semiconductor thin film 18 is allowed to grow in the specified dimension on an insulating translucent substrate 17 and the source region 19 and drain region 20 are formed by the diffusion method at both ends of such thin film. Then, the surface and side of this thin film 18 are entirely covered with a thin gate insulating film 21 and a gate electrode 22 is mounted to the center thereof. Thereafter, an inter-layer insulating film 23 is deposited on the entire part thereof including them, a window is opened while the region 19 corresponds to the region 20 and the source electrode 24 and drain electrode 25 are mounted respectively. In such constitution, the offset gate region 26 in the same conductivity type as the

regions 10 and 20
and with a low impurity concentration is provided within a thin
film 18 between
the regions 19 and 20 located in both sides of said gate
electrode 22.
Thereby, an OFF current less depends on gate voltage.

COPYRIGHT: (C)1983,JPO&Japio

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—105574

⑬ Int. Cl.³

H 01 L 29/78

29/04

// G 09 F 9/35

識別記号

庁内整理番号

7377—5F

7514—5F

7520—5C

⑭ 公開 昭和58年(1983)6月23日

発明の数 1

審査請求 未請求

(全 5 頁)

⑮ 薄膜トランジスタ

会社諏訪精工舎内

⑯ 特 願 昭56—204087

⑰ 出 願 人 株式会社諏訪精工舎

⑱ 出 願 昭56(1981)12月17日

東京都中央区銀座4丁目3番4

⑲ 発 明 者 大島弘之

号

⑳ 代 理 人 弁理士 最上務

諏訪市大和3丁目3番5号株式

明 細 書

発 明 の 名 称

薄膜トランジスタ

特 許 請 求 の 範 囲

多結晶半導体薄膜を用い、ソース電極とドレイン電極とゲート電極を備えた薄膜トランジスタにおいて、前記ソース電極下のソース領域、または前記ドレイン電極下のドレイン領域に接して、前記ソース領域及び前記ドレイン領域と同じ導電型の低濃度領域からなるオフセットゲート領域を設けて成ることを特徴とする薄膜トランジスタ。

発 明 の 詳 細 な 説 明

本発明はリーク電流を低減させる構造を有する多結晶半導体薄膜トランジスタに関する。

近年、絶縁基板上に薄膜トランジスタを形成する研究が活発に行なわれている。この技術は、安価な絶縁基板を用いて薄膜ディスプレイを実現す

るアクティブマトリックスパネル、あるいは通常の半導体集積回路上にトランジスタなどの能動素子を形成する、いわゆる三次元集積回路など、多くの応用が期待できるものである。以下、薄膜トランジスタをアクティブマトリックスパネルに応用した場合を例に取って説明するが、本発明の主旨は薄膜トランジスタを用いた他の場合にも全く同様に適用することができる。これは、本発明の主旨が、リーク電流を減少させるという薄膜トランジスタの本質的な特性向上に関するものだからである。

薄膜トランジスタをアクティブマトリックスパネルに応用した場合の液晶表示装置は、一般に、上側のガラス基板と、下側の薄膜トランジスタ基板と、その間に封入された液晶とから構成されており、前記薄膜トランジスタ基板上にマトリクス状に配置された液晶駆動素子を外部選択回路により選択し、前記液晶駆動素子に接続された液晶駆動電極に電圧印加することにより、任意の文字、図形、あるいは画像の表示を行なうものであ

。前記薄膜トランジスタ基板の一般的な回路図を第1図に示す。

第1図(ア)は薄膜トランジスタ基板上の液晶駆動素子のマトリックス状配置図である。図中の1で囲まれた領域が表示領域であり、その中に液晶駆動素子2がマトリックス状に配置されている。3は液晶駆動素子2へのデータ信号ラインであり、4は液晶駆動素子2へのタイミング信号ラインである。液晶駆動素子2の回路図を第1図(イ)に示す。5は薄膜トランジスタであり、データのスイッチングを行なう。6はコンデンサであり、データ信号の保持用として用いられる。7は液晶パネルであり、7-1は各液晶駆動素子に対応して形成された液晶駆動電極であり、7-2は上側ガラスパネルである。

以上の説明からわかるように、薄膜トランジスタは、液晶に印加する電圧のデータをスイッチングするために用いられ、このとき薄膜トランジスタに要求される特性は大きく次の2種類に分類される。

の要求事項は満足されている。これは、非晶質半導体などと異なり、多結晶半導体ではかなり大きいキャリア移動度が得られるためである。

(2)は、コンデンサに書き込まれたデータの保持特性に関するものである。一般に、書き込まれたデータは書き込み時間よりもはるかに長い時間保持されなくてはならない。コンデンサの静電容量は、通常 1pF 程度の小さい値であるため、薄膜トランジスタが 0V 状態の時にわずかでもリーク電流(以下、 0V 電流という。)が流れると、ドレインの電位(すなわちコンデンサの電位)は急激にソースの電位に近づき、書き込まれたデータは正しく保持されなくなってしまう。多結晶半導体薄膜を用いて薄膜トランジスタを形成した場合、多結晶半導体薄膜中の結晶粒界に多くのトラップ単位が局在しているため、このトラップを介してかなり多くの 0V 電流が流れてしまう。 0V 電流の値については、本発明の主旨に関係するため、後に詳しく述べる。

以上述べた内容からわかるように、多結晶半導

(1) 薄膜トランジスタを 0V 状態にした時コンデンサを充電させるために十分な電流を流すことができること。

(2) 薄膜トランジスタを 0V 状態にした時、極力、電流が流れないこと。

(1)は、コンデンサへのデータの書き込み特性に関するものである。液晶の表示はコンデンサの電位により決定されるため、短時間にデータを完璧に書き込むことができるように、薄膜トランジスタは充分大きい電流を流すことができなくてはならない。この時の電流(以下、 0V 電流という。)は、コンデンサの容量と、書き込み時間とから定まり、その 0V 電流をクリアできるように薄膜トランジスタを製造しなくてはならない。薄膜トランジスタの流すことができる 0V 電流は、トランジスタのサイズ(チャネル長とチャネル幅)、構造、製造プロセス、ゲート電圧などに大きく依存する。多結晶半導体薄膜を用いて薄膜トランジスタを形成した場合、一般に 0V 電流は充分大きい値を得ることが可能であり、したがって(1)

体薄膜を用いた薄膜トランジスタでは、 0V 電流は比較的大きい値が得られるが、 0V 電流の値も大きくなり、データの保持特性を悪化させている。したがって、 0V 電流を小さくおさえることが急務となっている。このことは、薄膜トランジスタをアクティブマトリックスパネル以外の用途に応用する場合にも全く同様のことが言える。例えば薄膜トランジスタを用いて、通常のロジック回路を構成する場合には、静止電流が増加し、またメモリ回路を構成する場合には、誤動作の原因となる。

本発明は、このような従来の薄膜トランジスタの欠点を除去するものであり、その目的とするところは、 0V 電流を低減させる構造を有する薄膜トランジスタを提供することである。以下、 0V 電流の機構について詳しく述べた後、それに基づいて本発明の内容を説明する。

第2図は多結晶半導体薄膜を用いた n チャネル薄膜トランジスタの従来の一般的な構造を示す断面図である。8はガラス、石英などの絶縁性透明

基板、9は多結晶シリコンなどの多結晶半導体薄膜、10は多結晶半導体薄膜9中にリンやヒ素などの不純物をドーピングして形成したソース領域、11は同じくドレイン領域、12はゲート膜、13はゲート電極、14は層間絶縁膜、15はソース電極、16はドレイン電極である。この構造を有する薄膜トランジスタの代表的な特性を第3図に示す。このデータは本出願人が実験を行なって得られた結果である。このグラフの横軸はソースに対するゲート電圧 V_{GS} であり、縦軸はドレイン電流 I_D である。ソースに対するドレイン電圧 V_{DS} は4Vである。このグラフよりわかるようにドレイン電流 I_D は $V_{GS}=0V$ 近傍で最小値を取り、 V_{GS} の絶対値が増加するにつれてドレイン電流 I_D は増加する。 V_{GS} が正の領域でドレイン電流が増加することは、トランジスタが0 μ F状態から0 μ F状態へ変化することを意味するものであり、電流の増加率はできる限り大きいことが望ましい。一方、 V_{GS} が負の領域でドレイン電流が増加することは、0 μ F電流がゲート電圧依存性

P μ 接合のエネルギー障壁の幅が狭くなる。このため、電界の集中が起こりやすくなり、したがって0 μ F電流が増加する。このような効果が現われるため、ドレイン電流 I_D は $V_{GS}=0V$ 近傍で最小値を取り、 V_{GS} を負の値に増加させるとドレイン電流が増加するようになる。

本発明はこのような0 μ F電流のゲート電圧依存性を低減させ、 V_{GS} を負の値に増加させても0 μ F電流がほとんど増加しない特性を有する薄膜トランジスタを提供するものである。これを実現するために本発明では、多結晶半導体薄膜を用いソース電極とドレイン電極とゲート電極を備えた薄膜トランジスタにおいて、前記ソース電極下のソース領域、または前記ドレイン電極下のドレイン領域に接して、前記ソース領域及び前記ドレイン領域と同じ導電型の低濃度領域からなるオフセットゲート領域を設ける。以下、図を参照して本発明を説明する。

第4図は本発明の実施例を示すものであり、ソース及びドレイン領域にオフセットゲート領域を

を有することを意味するものであり、トランジスタの特性としては望ましくない。この現象は次のように説明される。第2図においてゲート電極13を食にバイアスすると多結晶半導体薄膜9の表面にはP型層が形成される。通常の集積回路などに用いられる金属酸化膜半導体構造電界効果トランジスタ(MOS FET)の場合には、この表面のP型層とソース領域及びドレイン領域のN型領域との間にはほぼ完璧なP μ 接合が形成され、きわめて高抵抗の絶縁分離が実現されるため、0 μ F電流はほとんど流れない。しかし、多結晶半導体薄膜を用いた薄膜トランジスタの場合には、多結晶半導体薄膜中の結晶粒界に高密度のトラップ準位が存在するため、このトラップを介してキャリアが移動し、0 μ F電流が流れる。すなわち、多結晶半導体を用いた薄膜トランジスタでは通常のMOS FETよりも本質的に0 μ F電流が多くなる。ゲート電圧 V_{GS} を食に増加させると、多結晶半導体薄膜の表面に形成されるP型層のキャリア濃度は増加し、N型領域との間に形成される

設けた薄膜トランジスタを示している。17は絶縁性透明基板、18は多結晶半導体薄膜、19は多結晶半導体薄膜18中に形成したソース領域、20は同じくドレイン領域、21はゲート膜、22はゲート電極、23は層間絶縁膜、24はソース電極、25はドレイン電極、26は多結晶半導体薄膜18中に形成され、ソース領域19及びドレイン領域20と同じ導電型の低濃度領域からなるオフセットゲート領域である。このようにオフセットゲート領域を設けると、ゲート電圧を食にバイアスして多結晶半導体薄膜の表面にP型層が形成されても、N型領域であるオフセットゲート領域の不純物濃度が低いため、P μ 接合のエネルギー障壁の幅は広くなる。このため、P μ 接合部に加えられる電界強度が弱められ、0 μ F電流はほとんど増加しない。

第5図は第4図に示した構造の薄膜トランジスタの代表的な特性を示すものであり、本出願人が実験を行なって得られた結果である。このグラフの横軸はソースに対するゲート電圧 V_{GS} であり

、縦軸はドレイン電流 I_D である。ソースに対するドレイン電圧 V_{DS} は4Vである。第3図に示した従来の薄膜トランジスタの特性と比較すると、 V_{GS} が正の領域ではほとんど特性に変化はないが、 V_{GS} が負の領域で0V電流が大幅に減少していることがわかる。これは前述の通り、本発明ではP-N接合部の電界集中を緩和する構造を有しているためである。高抵抗のオフセットゲート領域を設けたにもかかわらず従来と同様の0V電流が得られているのは、薄膜トランジスタでは通常のMOSFETに比べてチャネル抵抗がかなり大きいためである。すなわちチャネル抵抗よりもオフセットゲート領域の抵抗が充分小さければ(約100Ω以下)、0V電流はほとんど低下しない。オフセットゲート領域の抵抗をさらに高くすると、0V電流をさらに減少させることが可能となるが、一方、0V電流も低下するようになるため、薄膜トランジスタの使用目的に応じて適当な抵抗値を有するオフセットゲート領域を設けなくてはならない。この抵抗値の制御はイオン

打込み法を用いれば容易に実現できる。

最後に、本発明による薄膜トランジスタの製造方法について述べる。本発明の特徴はオフセットゲート領域を設けることにあり、その他の製造プロセスは従来と全く同じ方法を用いることができる。本発明の最も一般的な製造方法は、第4図において、多結晶半導体薄膜18にソース領域19及びドレイン領域20を形成した後、ゲート膜21、ゲート電極22を形成し、ゲート電極をマスクとしてイオン打込み法によりオフセットゲート領域を設ける方法である。この方法によれば、オフセットゲート領域はゲート電極に対して自己整合的に形成されるため、工程が簡略化されると共に、オフセットゲート領域とゲート電極との間の寄生容量も低減できる。また、ソース領域19及びドレイン領域20は、層間絶縁膜23に開口したコンタクトホールから不純物を導入することにより形成してもよい。この方法によれば、ソース領域及びドレイン領域を形成するに際して、特別のパターンを必要としないため、さらに工程が簡略

化される。本発明の要点はオフセットゲート領域を設けることにあるため、この構造が得られるものであれば他の製造プロセスを用いてももちろん差し支えない。

なお、本発明の説明に際して、オフセットゲート領域は、ソース領域側及びドレイン領域側の双方に設けた場合について述べたが、場合によっては片側だけに設けてもよい。すなわち、0V電流を低減させるためには、ソース領域とドレイン領域との間に形成されるP-N接合の少なくとも1ヶ所のリークを低減させればよい。このようにすれば、ソース領域とドレイン領域の間を流れる0V電流は減少せしめることができる。しかし、より確実に0V電流を減少させるには、ソース領域側とドレイン領域側の双方にオフセットゲート領域を設けた方がよい。

以上述べたように、本発明は多結晶半導体薄膜を用いた薄膜トランジスタにおいて、0V電流をほとんど低下させることなく、0V電流を大幅に減少せしめるという優れた効果を有するもので

ある。

図面の簡単な説明

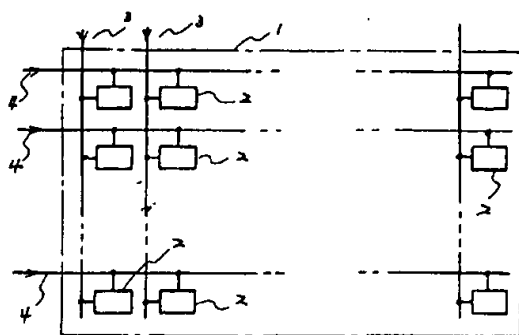
第1図は薄膜トランジスタをアクティブマトリックスパネルに応用した場合の一般的な回路図である。第2図は従来の薄膜トランジスタの構造を示す断面図であり、第3図はその特性を示すグラフである。第4図は本発明の薄膜トランジスタの構造を示す断面図であり、第5図はその特性を示すグラフである。

以上

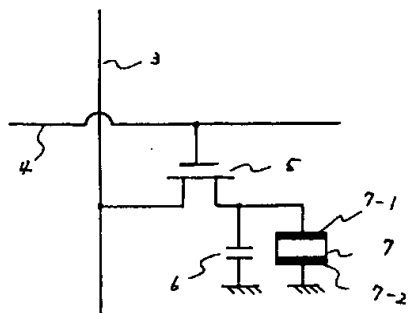
出願人 株式会社敬訪精工舎

代理人 弁理士 最上



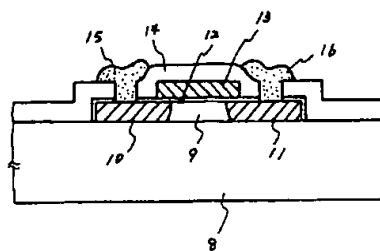


(a)

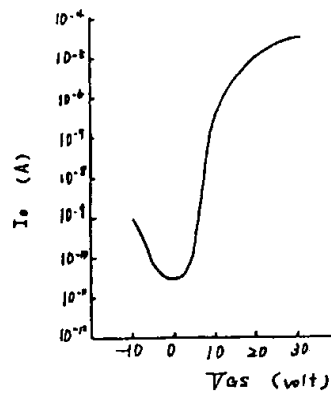


(b)

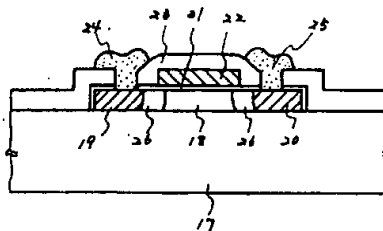
第 1 図



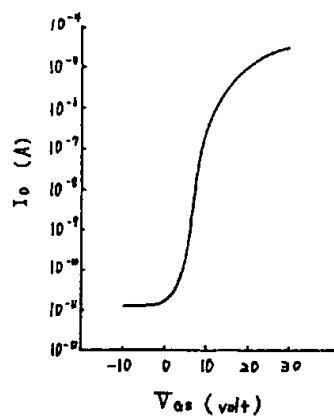
第 2 図



第 3 図



第 4 図



第 5 図